

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-135080
(P2001-135080A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 1 1 C	11/407	G 1 1 C 11/34	3 6 2 S 5 B 0 2 4
	11/409		3 5 3 F
	11/401		3 5 4 C
			3 6 2 D

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願平11-315383

(22) 出願日 平成11年11月5日 (1999.11.5)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 折笠 憲一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 大田 清人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100073874

弁理士 萩野 平 (外4名)

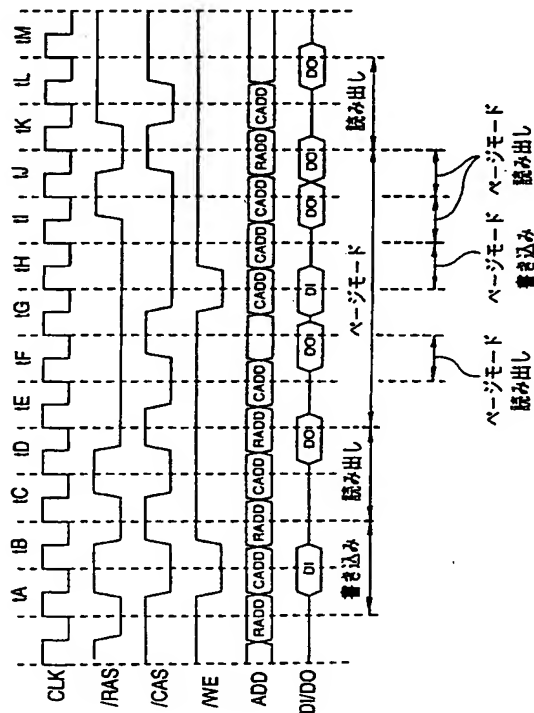
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 データ転送速度を落とすことなく、低い周波数で動作可能な半導体記憶装置を実現する。

【解決の手段】 DRAM動作のロウアドレスストロブ動作とカラムアドレスストロブ動作の2つのクロックで一連の動作を終了できる構成とする。ロウアドレスストロブ信号 (/RAS) をローレベルとするクロック信号 CLK の立ち上がりエッジから、第1の遅延素子 24 で決まる遅延時間後にセンスアンプ起動信号 SE をハイレベルにし、センスアンプ列 12 を活性化するタイミングを発生する。また、カラムアドレスストロブ信号 (/CAS) がローレベルとなる CLK 信号の立ち上がりエッジから読み出し及び書き込み動作を開始し、読み出しおよび書き込みが終了したことを検知して、センスアンプ起動信号 SE をローレベル、ビット線プリチャージ信号 E Q P R をハイレベルにし、プリチャージ動作を開始するタイミングを得る。



かたちで情報の書き込み及び読み出しを行うものであり、書き込み後電荷が次第に減少するため、数ミリ秒ごとにリフレッシュつまり情報を読み出して再書き込みする操作が必要であり、回路が複雑なるという問題がある。

【0003】従来のDRAM装置の回路動作の一例について図面を参照しながら説明する。ここでは例えばDRAM装置はスイッチングトランジスタとしてのMOSFETとキャパシタとで構成されている。そして、MOSFETのゲート電極がワード線に接続され、ソースドレインの一方がビット線に接続されると共に、他の一方がキャパシタの一方の電極に接続されており、クロック信号によってワード線及びビット線の電位を制御することにより、センスアンプによってキャパシタ上の電荷の検出を行うように構成されている。

【0004】図11(a)および(b)は特開平1-149767号に記載された従来のDRAM装置のデータI/Oのタイミングチャートであって、図11(a)は、読み出し動作を示し、図11(b)は書き込み動作を示している。図11(a)に示すように、読み出し動作時には、まず、第1のクロック信号であるCLKの立ち上がりエッジで、第2のクロック信号である/RAS(ロウアドレスストロブ)信号を立ち下げることにより、これまでプリチャージ状態にあったロウ系の回路が活性化されてメモリ動作が開始され、ロウアドレスがラッチされる。これにより、選択されたワード線に接続されているメモリセルが活性化されるとともに、選択されたビット線対に接続されたセンスアンプが活性化される。

【0005】続いて、第1のクロック信号であるCLKの次の立ち上がりエッジで、第3のクロック信号である/CAS(コラムアドレスストロブ)信号を立ち下げることにより、読み出し動作が開始され、コラムアドレスがラッチされる。このとき、ライトイネーブル信号/WEをハイレベルとして書き込みを禁止状態(ディスエーブル)とすることにより、選択されたメモリセルが接続されているビット線対に読み出された電位差を増幅して有効データを確定し、さらにリードアンプ等を介して外部に出力する。さらに、第1のクロック信号であるCLKの次の立ち上がりエッジで/RAS信号、/CAS信号をハイレベルにすることにより、ロウ系の回路がプリチャージ状態にされ、次の動作の準備が行われる。

【0006】一方、図11(b)に示すように、書き込み動作時にも同様に、まず1のクロック信号であるCLKの立ち上がりエッジで、/RAS信号を立ち下げてロウアドレスをラッチする。これにより、選択されたワード線に接続されているメモリセルが活性化されるとともに、選択されたビット線対に接続されたセンスアンプが活性化される。第2のクロック信号であるCLKの次の立ち上がりエッジで/CAS信号を立ち下げてコラムアドレスをラッチする。このとき、ライトイネーブル信号

/WEをローレベルとして、書き込み動作を許可状態(イネーブル)としておき、選択されたメモリセルに保持させる有効データをライトアンプ等から入力する。さらに、第1のクロック信号であるCLKの次の立ち上がりエッジで/RAS信号、/CAS信号をハイレベルにすることにより、ロウ系の回路がプリチャージ状態にされ、次の動作の準備が行われる。

【0007】なお、本明細書において、信号名の前に付加されている記号"/"は反転を表し、ローレベルのときに活性状態(ローアクティブ)となる信号を表す。

【0008】

【発明が解決しようとする課題】しかしながら、このような従来のDRAM装置は、読み出し及び書き込み動作の際にRAS、CAS、プリチャージサイクルの3サイクルが必要となるため、高い動作周波数が必要となり、消費電力の増加を引き起こす。特に、DRAMの動作周波数がシステムの周波数を決定しているような場合には問題となる。

【0009】本発明は、前記従来の問題を解決し、データ転送速度を落とすことなく、低い周波数で動作可能な半導体記憶装置を実現することを目的とする。

【0010】

【課題を解決するための手段】前記の目的を達成するため、本発明は、DRAM動作のロウアドレスストロブ動作とコラムアドレスストロブ動作の2つのクロックで一連の動作を終了できる構成とする。

【0011】具体的に、本発明に係る半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、外部からのロウアドレス信号により選択される複数のワード線と、外部からの複数のコラムアドレス信号により選択的に活性化される複数のビット線と、前記複数のビット線ごとに読み出されたデータを増幅するセンスアンプとを備えた半導体記憶装置において、クロック信号の第1のエッジをトリガにして、第1の制御信号の活性化状態に対応して前記ロウアドレス信号をラッチするロウアドレスラッチ手段と、前記第1の制御信号の活性化状態に対応して前記第1のエッジから、内部回路動作で決まる所定期間経過後に前記センスアンプを活性化するセンスアンプ活性化手段と、前記クロック信号の前記第1のエッジに後続する第2のエッジをトリガにして、第2の制御信号の活性化状態に応じて前記コラムアドレス信号をラッチするコラムアドレスラッチ手段と、前記第2の制御信号の活性化状態に応じて、前記第2のエッジから、内部回路動作で決まる所定期間後に前記ビット線に対してプリチャージを行うプリチャージ信号を生成するプリチャージ信号生成手段とを具備したことを特徴とする。

【0012】本発明の第2では、請求項1に記載の半導体記憶装置において、前記第1及び第2のエッジは前記クロック信号が第1のレベルから第2のレベルに移す

み出し動作時には、リード・ライトアンプ・カラムデコーダ列 15 を通じてデータ出力回路 17 に読み出された内部データがデータ出力信号 DO としてデータ出力端子に出力され、書き込み動作時には、データ入力回路 18 がデータ入力端子から入力されるデータ入力信号 DI をリード・ライトアンプ・カラムデコーダ列 15 に出力する。ここで、データ入力端子と、データ出力端子は共通端子であってもよい。リード・ライトアンプ・カラムデコーダ列 15 内には複数のライトアンプと、複数のリードアンプとそれに接続される複数の第 1 群のデータラッチ回路及びさらに第 1 群のデータラッチ回路の出力をラッチする第 2 群のデータラッチ回路が含まれる。この第 2 群のデータラッチ回路の出力が内部 DO に接続される。ライトアンプには内部 DI が接続される。

【0022】また、データ出力端子には、データ出力禁止手段として、OE 端子からの出力イネーブル信号 OE が接続される。コマンド入力回路 19 には、外部制御端子である CLK (外部クロック) 端子、/RAS (ロウアドレスストロブ) 端子、/CAS (カラムアドレスストロブ) 端子、/WE (ライトイネーブル) 端子が接続され、内部制御信号である、内部クロック CLK C、内部ロウアドレスストロブ信号 /RAS、内部カラムアドレスストロブ信号 CAS、内部ライトイネーブル信号 WE を出力する。

【0023】そしてさらに、本実施例の特徴として、装置の読み出し動作及び書き込み動作を規制するための種々の制御信号を出力するタイミング制御回路 100、動作制御回路 101、ロウ制御回路 102、カラム制御回路 103 を備えている。

【0024】タイミング制御回路 100 には、コマンド入力回路 19 から出力された、内部クロック CLK C、内部ロウアドレスストロブ信号 /RAS、内部カラムアドレスストロブ信号 CAS が入力され、DRAM のロウ動作のイネーブル信号である内部動作タイミング制御クロック IRAS が出力される。

【0025】動作制御回路 101 には、コマンド入力回路 19 から出力された、内部ライトイネーブル信号 WE、タイミング制御回路 100 から出力された内部動作タイミング制御クロック IRAS が入力されており、読み出し動作のために、読み出し動作フラグ RENF 及び、読み出し制御信号 REN が、書き込み動作のために、書き込み動作フラグ WENF 及び、書き込み制御信号 WEN が、前記データ入力回路 18 に入力データ取り込みフラグ NWREN が出力される。

【0026】ロウ制御回路 102 には、タイミング制御回路 100 から出力された内部動作タイミング制御クロック IRAS が入力されており、センスアンプ列 12 にはセンスアンプ起動信号 SE 及びビット線プリチャージ信号 EQPR が、ロウデコーダ列 13 には、ワード線ブロック活性化信号 XBK が、それぞれ出力される。

【0027】カラム制御回路 103 には、タイミング制御回路 100 から出力された内部動作タイミング制御クロック IRAS が、動作制御回路 101 から出力された読み出し動作フラグ RENF、読み出し制御信号 REN、書き込み動作フラグ WENF 及び、書き込み制御信号 WEN が入力され、リード・ライトアンプ・カラムデコーダ列 15 に、ライトアンプ活性信号 WECON、出力データラッチ信号 DLCHA、DLCH1、リードアンプ活性信号 /MSE、メインデータ線プリチャージ信号 /PRM、カラムデコーダ列とメインデータ線 MBL を接続するカラム接続イネーブル信号 YPAEN が出力される。このうちリードアンプ活性信号 /MSE、メインデータ線プリチャージ信号 /PRM、カラム接続イネーブル信号 YPAEN は、タイミング制御のため、リード・ライトアンプ・カラムデコーダ列 15 内を走り、最遠点からカラム制御回路 103 に再び入力される。またセンスアンプ列 12 に、センスアンプ選択イネーブル信号 /MBTEN が出力される。またタイミング制御回路 100 にカラム動作フラグ YEN が返される。前記出力データラッチ信号 DLCHA は前記第 1 群のデータラッチ回路のラッチ制御信号、出力データラッチ信号 DLCH1 は前記第 2 群のデータラッチ回路のラッチ制御信号である。

【0028】図 2 は、本実施例に係るタイミング制御回路 100 の回路構成の一例を示している。図 2 に示すようにタイミング制御回路 100 には、内部クロック CLK C、内部ロウアドレスストロブ信号 /RAS、内部カラムアドレスストロブ信号 CAS が入力され、内部ロウアドレスストロブ信号 /RAS が第 1 のインバーター素子 21 に入力され、前記第 1 のインバーター素子 21 の出力が、第 1 のディレイ (D) フリップフロップ 23 に入力される。第 1 の D フリップフロップ 23 は、ロード・ホールド (LH) 端子がローレベルの際にはデータの取り込みが可能となり、ハイレベルの際にはデータの取り込みが禁止されるロード・ホールド・リセット機能を有する。また前記第 1 の D フリップフロップ 23 のクロック (CK) 端子には内部クロック CLK C が入力され、内部クロック CLK C の立ち上がりエッジに同期してデータをラッチする。前記第 1 の D フリップフロップ 23 の LH 端子は、第 1 の AND 素子 22 の出力に接続され、前記第 1 の AND 素子 22 の入力には内部ロウアドレスストロブ信号 /RAS と内部カラムアドレスストロブ信号 CAS に接続される。第 1 の D フリップフロップ 23 のリセット (R) 端子は IRAS リセット信号の RSTP に接続される。

【0029】第 1 の D フリップフロップ 23 の出力の立ち上がりエッジを所定の遅延期間遅らせるために、出力端子には、第 1 の遅延素子 24 の入力端子と、内部動作タイミング制御クロック IRAS を出力する第 2 の AND 素子 25 の入力端子に接続される。遅延素子 24 の出

ブ（以後SRフリップフロップと略す）51のS（セット）入力に接続される。前記第1のSRフリップフロップの出力Qは第7の遅延素子52及び第2のOR素子53に入力される。また前記第7の遅延素子52の出力は前記第2のOR素子53に入力される。さらに前記第2のOR素子53の出力は第8の遅延素子54及び第3のOR素子55に入力される。また前記第8の遅延素子54の出力は前記第3のOR素子55に入力される。読み出し制御信号RENは第3のワンショット回路56に入力される。前記第3のワンショット回路56の出力は第2のSRフリップフロップ57のS入力に入力される。

【0034】前記第3のOR素子55及び前記第2のSRフリップフロップ57の各出力は第2のNOR素子58に入力される。前記第2のNOR素子58の出力は前記センスアンプ選択イネーブル信号/MBTENである。センスアンプ選択イネーブル信号/MBTENは、前記センスアンプ列12に入力され、センスアンプとメインデータ線MBLを接続するゲートのスイッチトランジスタ（図示せず）のイネーブル信号の機能を持つ。本信号は、センスアンプ列12のブロック内を通過し、本図5に示されるカラム制御回路103に再び入力される。

【0035】再び入力された前記センスアンプ選択イネーブル信号/MBTENは第6のインバーター素子59に入力され、本素子の出力は、第4のOR素子500及び第3のSRフリップフロップ501のS入力に入力される。前記第4のOR素子500にはさらに第7のインバーター素子502を介して前記内部動作タイミング制御クロックIRASが入力され、出力は前記第1のSRフリップフロップ51、前記第2のSRフリップフロップ57及び第4のSRフリップフロップ503のR（リセット）端子に入力される。前記第4のSRフリップフロップ503のS端子は書き込み制御信号WENが入力され、出力端子Qは第3のNOR素子504に入力される。第4のAND素子505には書き込み動作フラグWENF及び第8のインバーター素子506を介して前記センスアンプ選択イネーブル信号/MBTENが入力され、出力は前記第3のNOR素子504に入力される。前記第3のNOR素子504の出力は第4のNAND素子522に入力される。前記第4のNAND素子522の出力はバッファ素子507、508、509に入力される。バッファ素子507の出力がカラム動作フラグYEN、バッファ素子508の出力がメインデータ線ブリッジ信号/PRM、バッファ素子509の出力がカラム接続イネーブル信号YPAENとなる。前記第4のNAND素子506の出力はさらに第5のAND素子510に入力され、出力はライトアンプ活性信号WECNとなり、他方の入力には書き込み動作フラグWENFが入力される。

【0036】第6のAND素子511には読み出し動作

フラグRENF及び第3のSRフリップフロップ501の出力Qが入力され、出力端子は第9の遅延素子512及び第9のインバーター素子523を介して第5のOR素子513に入力される。前記第9の遅延素子512の出力は第10のインバーター素子514に入力される。前記第6のインバーター素子514の出力はリードアンプ活性信号/MSEとしてリード・ライトアンプ・カラムデコーダ列15に入力される。入力後リードアンプ活性信号/MSEはリード・ライトアンプ・カラムデコーダ列15のブロック内を通過し、本図5に示されるカラム制御回路103に再び入力される。再び入力された前記リードアンプ活性信号/MSEは、第10の遅延素子515に入力され、前記第10の遅延素子515の出力は第11のインバーター素子516に入力される。前記第11のインバーター素子516の出力は出力データラッチ信号DLCHAとしてリード・ライトアンプ・カラムデコーダ列15に入力される。入力後出力データラッチ信号DLCHAはリード・ライトアンプ・カラムデコーダ列15のブロック内を通過し、本図5に示されるカラム制御回路103に再び入力される。再び入力された前記出力データラッチ信号DLCHAは、前記第5のOR素子513及び第6のOR素子517に入力される。前記第6のOR素子517には、さらに第12のインバーター素子518を介して読み出し動作フラグRENF及び前記第7のインバーター素子502の出力が入力される。前記第5のOR素子513の出力は出力データラッチ信号DLCH1であり、リード・ライトアンプ・カラムデコーダ列15に入力される。入力後出力データラッチ信号DLCH1はリード・ライトアンプ・カラムデコーダ列15のブロック内を通過し、本図5に示されるカラム制御回路103に再び入力される。再び入力された前記出力データラッチ信号DLCH1は、第13のインバーター素子519に入力される。前記第13のインバーター素子519の出力は第4のNOR素子520に入力される。前記第4のNOR素子520の入力にはさらに読み出し制御信号REN及び第7のAND素子521の出力が入力される。前記第4のNOR素子520の出力は前記第4のNAND素子522に入力される。前記第7のAND素子521には前記読み出し動作フラグRENF及び前記第6のインバーター素子59の出力が入力される。

【0037】図6は本発明に係るロウ制御回路102の回路構成の一例を示している。第11の遅延素子61及び第5のNAND素子62には内部動作タイミング制御クロックIRASが入力され、前記第11の遅延素子61の出力は前記第5のNAND素子62に入力される。さらに前記第5のNAND素子62の出力は第12の遅延素子63及び第8のAND素子64に入力され、前記第12の遅延素子63の出力は前記第8のAND素子64に入力される。第5のSRフリップフロップ66

クロック信号CLKの2つのサイクルで読み出し及び書き込み動作を完了する事が出来る。またタイミングtE～tJは書き込み・読み出し混合のページモード動作を示している。タイミングtEのクロックの立ち上がりエッジに前記/RAS端子をローレベル、前記/CAS端子をハイレベルにし、前記ロウアドレス端子RADDにロウアドレスを入力することで、ロウ選択動作が行われる。次のタイミングtFはページ読み出しのタイミングで、クロックの立ち上がりエッジに前記/RAS端子をローレベルに保持し、前記/CAS端子をローレベルに、前記/WE端子にハイレベルを印加し、前記カラムアドレス端子CADDにカラムアドレスを入力することで、カラム選択動作及び書き込み動作が行われ、データ出力端子に読み出しデータ出力信号DOが出力される。この際、ビット線プリチャージ動作は行われない。次のタイミングtGはページ読み出しのためのダミーサイクルであり、クロックの立ち上がりエッジに前記/RAS端子をローレベル固定、前記/CAS端子をハイレベルにする。次のタイミングtHはページ書き込みのサイクルであり、クロックの立ち上がりエッジに前記/RAS端子をローレベルに保持し、前記/CAS端子をローレベルに、前記/WE端子にローレベルを印加し、前記カラムアドレス端子CADDにカラムアドレスを入力し、データ入力端子に書き込みデータ入力信号DIを入力することで、カラム選択動作及び書き込み動作が行われる。次のタイミングtIはページ読み出しのタイミングであり、印加するのはタイミングtFと同様である。さらに次のタイミングtJは、tFページ読み出しのタイミングである。このタイミングに示すようにページ動作の終了にはクロックの立ち上がりエッジで前記/RAS端子をハイレベルにする。

【0048】以下、前記のように構成された半導体記憶装置の各動作における内部回路のタイミングの説明を行う。図9は本実施例による半導体装置における通常の書き込み動作及び読み出し動作のタイミングチャートを示している。まず読み出し動作について図1～図9を参照しながら説明する。図9のタイミング図に示すように読み出し動作時にはクロックCLKの立ち上がりエッジより前に/RAS端子をローレベルにする。/RAS端子に入力された信号は前記コマンド制御回路19に入力され内部ロウアドレスストロブ信号/RASとして出力される。この時、前記コマンド制御回路19に入力される前記/CAS端子はハイレベルにされている。このクロックCLKの立ち上がりエッジに/RAS端子がローレベルで、/CAS端子がハイレベルの1クロックのタイミングをRASタイミングと呼ぶ。

【0049】このRASタイミングの時点まで前記第1のNOR素子28の入力はすべてローレベルであるので、前記第1のDフリップフロップ23は、R端子がハイレベルでリセット状態となっており、Q端子はローレ

ベルを出力している。よって内部動作タイミング制御クロックIRASはローレベルであり、よって第5のSRフリップフロップ66のS端子はハイレベルで、ワード線ブロック活性化信号XBKはローレベルでワード線WLは非活性化状態、センスアンプ起動信号SEはローレベル、ビット線プリチャージ信号EQPRはハイレベルでビット線プリチャージ状態にある。

【0050】前記のように/RAS端子がローレベルになった時点で、前記第1のDフリップフロップ23のLH端子はローレベルとなり、ロード状態（データ受付状態）となる。前記内部クロックCLKCはCLK端子にバッファ接続されており、同相のクロック信号となる。この内部クロックCLKCの立ち上がりエッジで、前記第2のDフリップフロップ30の出力がハイレベルになり、IRASリセット信号RSTPはローレベルとなり前記第1のDフリップフロップ23のリセット状態は解除される。その後前記第1のDフリップフロップ23のQ端子にはD端子入力状態であるハイレベルが出力される。前記第1の遅延素子24と前記第2のAND素子25により前記第1の遅延素子で決まる時間 τ_1 だけ遅延して前記内部動作タイミング制御クロックIRASがハイレベルになる。

【0051】内部動作タイミング制御クロックIRASがハイレベルにされると、前記ロウ制御回路102において、第6のSRフリップフロップ66のR端子がハイレベルになり、Q端子はローレベルを出力する。ビット線プリチャージ信号EQPRがローレベルにされ、ビット線のプリチャージが解除される。ワード線ブロック活性化信号XBKがハイレベルにされる。これにより所定のワード線WLが活性化され、その結果、前記ワード線WLに接続されている所定個のメモリセルから各メモリセルに接続されている各ビット線対BL、/BLに各メモリセルから微小の電位差が発生する。

【0052】この後、前記ロウ制御回路102内の第1の遅延素子61で決まる時間 τ_2 の後にセンスアンプ起動信号SEがハイレベルにされ、前記センスアンプ列12内のセンスアンプが活性化される。この時間 τ_2 の期間は各ビット線対BL、/BLに各メモリセルから微小の電位差がセンスアンプの感度に対して十分に出力されるための期間である。

【0053】センスアンプが活性化されると各ビット線対BL、/BLに読み出された電位差が増幅される。次に図6に示すように通常の読み出し動作及び書き込み動作の際には、次のクロックCLKの立ち上がりエッジまでに/RAS端子はハイレベルに、/CAS端子をローレベルにされる。/WE端子は読み出し動作の際はハイレベルにされる。これによりカラム動作が行われる。このクロックCLKの立ち上がりエッジに/RAS端子がハイレベルで、/CAS端子がローレベル、/WE端子がハイレベルの1クロックのタイミングをCAS読み出

決まる期間ハイレベルのパルス信号が出力される。この信号は前記第1のDフリップフロップ23のリセット端子に接続されているため前記内部動作タイミング制御クロックIRASがローレベルにされる。

【0064】この前記内部動作タイミング制御クロックIRASがローレベルにされると次のようにロウ動作が終了する。まず第4のSRフリップフロップ66のS端子が第12の遅延素子63で決まる期間 t_5 の後にハイレベルとなり、第4のSRフリップフロップ66のQ端子はハイレベルになる。よってワード線ブロック活性化信号X BKがローレベルとなり、ワード線WLがローレベルにされメモセルへの再書き込み動作が終了する。またセンスアンプ起動信号SEはローレベルになりセンスアンプが非活性となる。またビット線プリチャージ信号EQPRはハイレベルとなり、ビット線対BL、/BLがプリチャージ状態にされ、次の動作の準備が行われる。

【0065】次のクロックの立ち上がりエッジで読み出し動作フラグRENFがローレベルにされる。次に書き込み動作について図1～図9を参照しながら説明する。読み出し動作と同様にクロックCLKの立ち上がりエッジに/RAS端子がローレベルで、/CAS端子がハイレベルのRASタイミングを入力し、ワード線WLの選択等ロウアドレスの選択を行う。このタイミングは前記の読み出し動作の場合と同様であるので略す。

【0066】次に図9に示すように次のクロックCLKの立ち上がりエッジまでに/RAS端子はハイレベルに、/CAS端子をローレベルにされる。/WE端子は書き込み動作の際はローレベルにされる。これによりカラム動作が行われる。このクロックCLKの立ち上がりエッジに/RAS端子がハイレベルで、/CAS端子がローレベル、/WE端子がローレベルの1クロックのタイミングをCAS書き込みタイミングと呼ぶ。

【0067】前記内部カラムアドレスストロブ信号CAS及び前記内部ライトイネーブル信号WEはハイレベルになり、第2のNAND素子35の出力がローレベルとなる。内部クロックCLKCの立ち上がりエッジで第3のDフリップフロップ36および第4のDフリップフロップ37のD端子のデータが取り込まれ、それぞれNQ端子にハイレベルが出力される。第3のDフリップフロップ36の出力はワンショット回路303に入力され、書き込み制御信号WENは、前記ワンショット回路303で決まる時間 t_6 のワンショットパルスとなる。第4のDフリップフロップ37の出力である書き込み動作フラグWENFはハイレベルとなる。

【0068】書き込み制御信号WENがハイレベルにされると、第4のSRフリップフロップ503がセットされ、前記第4のNAND素子522の出力がハイレベルとなり、前記カラム動作フラグYEN、メインデータ線プリチャージ信号/PRM、カラム接続イネーブル信号

YPAENがハイレベルとなる。また前記書き込み動作フラグWENFもハイレベルとなるためライトアンプ活性信号WECONもまたハイレベルとなる。

【0069】メインデータ線プリチャージ信号/PRMがハイレベルにされると、メインデータ線プリチャージ回路76が非活性とされ、ライトアンプとセンスアンプを接続するメインデータ線MBLのプリチャージが解除される。またカラム接続イネーブル信号YPAENがハイレベルにされると、カラムデコーダ71によりカラムアドレスラッチ16の出力するカラムアドレス信号CAに基づいて所定のライトアンプ75と所定のメインデータ線MBLが選択される。

【0070】またカラムアドレス信号CADDによって決まる前記リード・ライトアンプ・カラムデコーダ列15内の所定のライトアンプ75が活性化され、前記データ入力信号DIにのデータが所定のライトアンプ75に接続される所定のメインデータ線MBLに出力される。

【0071】また書き込み制御信号WENがハイレベルにされると、第6の遅延素子50で決まる時間 t_7 の後に前記第1のSRフリップフロップ51がセットされ、Q端子にはハイレベルが出力される。これを受け前記センスアンプ選択イネーブル信号/MBTENがハイレベルにされ、メインデータ線MBLと、センスアンプ群とが接続される。ここで前記第6の遅延素子50の遅延時間は活性化された所定のライトアンプ75のデータが十分にメインデータ線MBLに出力されるまでの期間とする。

【0072】前記センスアンプ選択イネーブル信号/MBTENはセンスアンプ列12内を通過し、所定のセンスアンプとメインデータ線MBLの接続を行った後、再びカラム制御回路103に戻る。

【0073】戻された前記センスアンプ選択イネーブル信号/MBTENにより前記第1のSRフリップフロップ51及び第4のSRフリップフロップ503がリセットされる。リセットされた後、前記第7の遅延素子52及び第8の遅延素子54で決まる時間の後に前記第3のOR素子55の出力がローレベルとなる。これを受け前記センスアンプ選択イネーブル信号/MBTENがハイレベルとなる。

【0074】これを受けて前記第5のAND素子505の出力がローレベルとなり、前記第3のNOR素子504の出力がハイレベルとなり前記カラム動作フラグYEN、メインデータ線プリチャージ信号/PRM、カラム接続イネーブル信号YPAEN、ライトアンプ活性信号WECONがローレベルとなる。これを受けライトアンプ75とセンスアンプを接続するメインデータ線MBLのプリチャージが開始され、ライトアンプとセンスアンプの選択が解除され、さらにライトアンプ75が非活性となり、カラム動作が終了する。

【0075】前記カラム動作フラグYENがハイレベル

化される。／RAS端子をハイレベルにしてクロック端子CLKを立ち上げると、内部動作タイミング制御クロックIRASがローレベルにされ、ビット線プリチャージ動作が開始される。

【0087】また、第1のフューズ素子1001を切断した際には、読み出し動作および書き込み動作のタイミングは第1の実施例で示したような2つのクロックでの動作を実現できる。

【0088】以上の構成にすることにより、本発明による半導体記憶装置の動作クロックの周波数を必要に応じて変更することが出来る。よって広い周波数のシステムに対応した半導体記憶装置を提供することが出来る。

【0089】なお、前記第1のフューズ素子1001及び第2のフューズ素子1002は、半導体製造のリソグラフィ工程で用いるマスクパターンを複数用意し、いずれのマスクパターンを用いて形成するかで、前記第1のフューズ素子1001及び第2のフューズ素子1002のうちのいずれを接続するか、接続状態を規定することによって実現してもよい。

【0090】なお、第1の実施形態において、クロックの同期タイミングを立ち上がりの時点としたが、立ち下りの時点クロックの同期タイミングとしてもよい。

【0091】

【発明の効果】以上のように、本発明による半導体記憶装置は、カラム動作が開始した際に立ち上がり、カラム動作が終了した際に立ち下がる信号を設け、その信号が立ち下がった時点から所定期間後に、ビット線のプリチャージ動作を開始し、またロウ動作に関して遅延素子を設け、ロウ動作の開始を遅らせることにより、ビット線のプリチャージ動作の期間を実現し、2クロックでの通常動作を行うことが出来る。データの読み出し、書き込みに関して、必要なクロック数が少なくなることで、消費する電力を抑えることが可能となる。よってデータ転送レートを落とすことなく、低い周波数の動作が可能となる。

【0092】また、周波数の低いクロックを用いることで、本発明による半導体記憶装置を用いたシステムの設計を容易にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体記憶装置を示す機能ブロック図である。

【図2】本発明の一実施形態に係る半導体記憶装置におけるタイミング制御回路を示す回路図である。

【図3】本発明の一実施形態に係る半導体記憶装置における動作制御回路を示す回路図である。

【図4】本発明の一実施形態に係る半導体記憶装置におけるワンショット回路を示す回路図である。

【図5】本発明の一実施形態に係る半導体記憶装置におけるカラム制御回路を示す回路図である。

【図6】本発明の一実施形態に係る半導体記憶装置にお

けるロウ制御回路を示す回路図である。

【図7】本発明の一実施形態に係る半導体記憶装置におけるリード・ライトアンプ・カラムデコーダ列15の内部ブロック構成を示す。

【図8】本発明の一実施形態に係る半導体記憶装置における書き込み・読み出し・ページモード動作を示すタイミング図である。

【図9】本発明の一実施形態に係る半導体記憶装置における書き込み・読み出し動作時の内部タイミング図である。

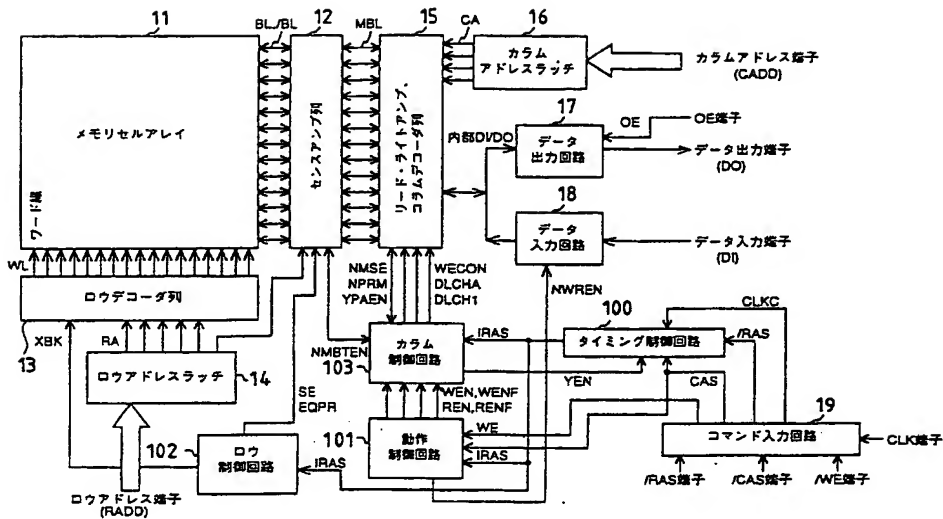
【図10】本発明の第2の実施形態に係る半導体記憶装置におけるタイミング制御回路を示す回路図である。

【図11】従来の半導体記憶装置の書き込み動作及び読み出し動作を示すタイミング図である。

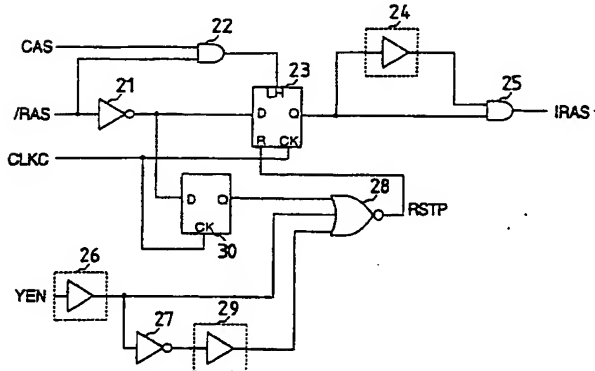
【符号の説明】

11	メモリセルアレイ
12	センスアンプ列
13	カラムデコーダ列
14	ロウアドレスラッチ回路
15	リード・ライトアンプ・カラムデコーダ列
16	カラムアドレスラッチ回路
17	データ出力回路
18	データ入力回路
19	コマンド入力回路
100	タイミング制御回路
101	動作制御回路
102	ロウ制御回路
103	カラム制御回路
21	第1のインバーター素子
22	第1のAND素子
23	第1のDフリップフロップ
24	第1の遅延素子
25	第2のAND素子
26	第2の遅延素子
27	第2のインバーター素子
28	第1のNOR素子
29	第3の遅延素子
30	第2のDフリップフロップ
31	第4の遅延素子
32	第3のインバーター素子
33	第1のOR素子
34	第1のNAND素子
35	第2のNAND素子
36	第3のDフリップフロップ
37	第4のDフリップフロップ
38	第3のNAND素子
39	第4のインバーター素子
300	第5のDフリップフロップ
301	第6のDフリップフロップ
302	第2のワンショット回路

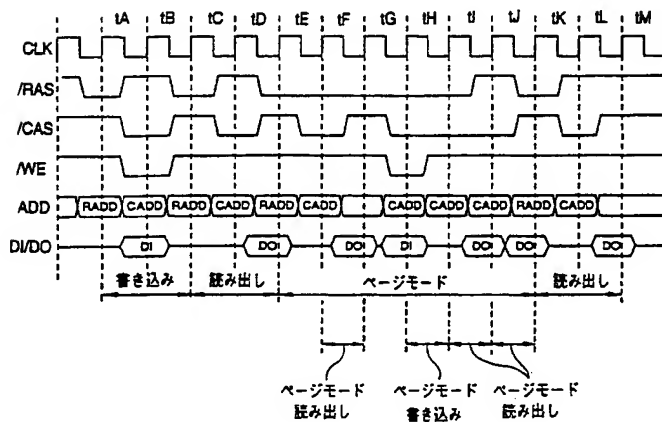
【図1】



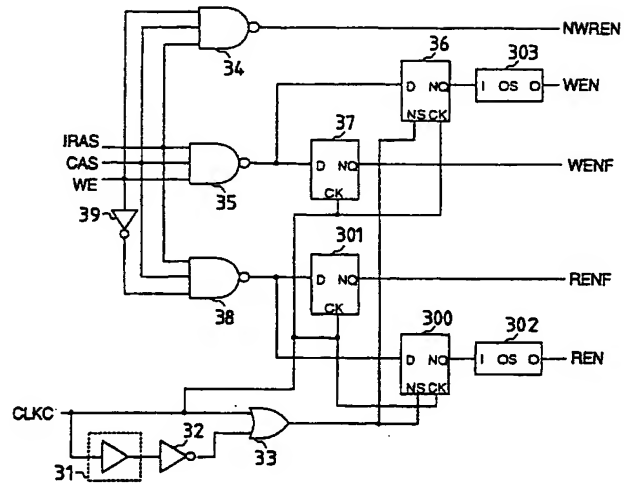
【図2】



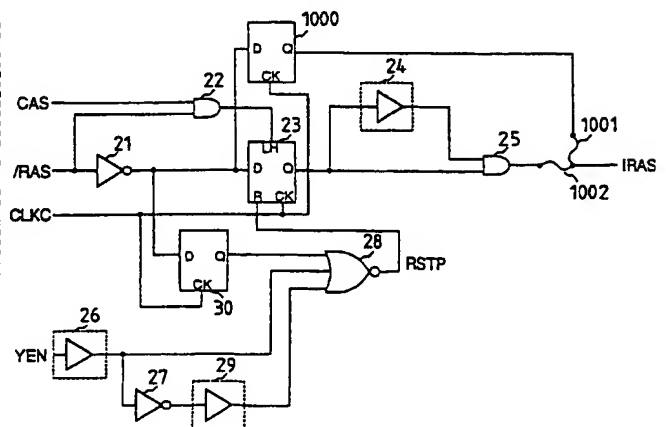
【図8】



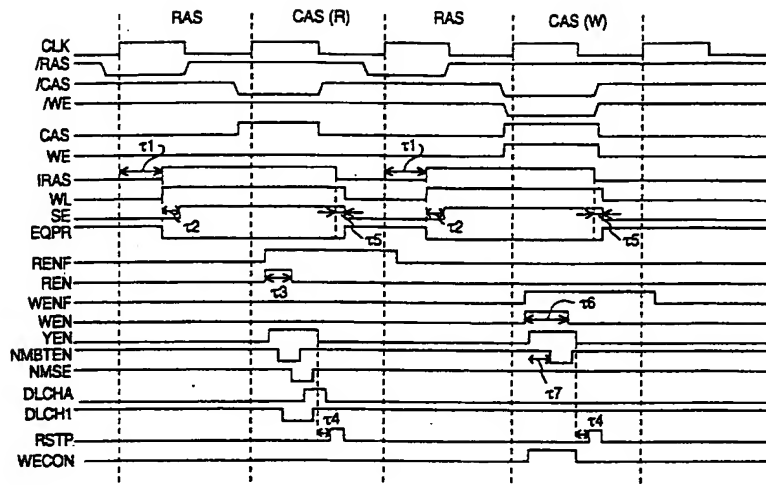
【図3】



【図10】



【図 9】



フロントページの続き

(72)発明者 藤本 知則

Fターム(参考) 5B024 AA01 BA07 BA09 BA21 BA23

大阪府門真市大字門真1006番地 松下電器

CA07 CA15 CA27

産業株式会社内

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)